



# AXI Width Converter IP 用户手册

上海安路信息科技股份有限公司

IPUG156 (v1.0) 2023 年 7 月



## 目 录

1 IP 介绍 .....	1
2 端口描述与参数描述 .....	4
3 使用说明 .....	8
4 例化流程 .....	10
版本信息 .....	12
免责声明 .....	12



## 1 IP 介绍

AXI Width Converter IP 是不同数据位宽的 AXI Master 和 AXI Slave 互联的桥，该 IP 支持窄数据位宽向宽数据位宽转换，同时也支持宽数据位宽向窄数据位宽转换，用户可以使用此 IP 将不同位宽的 Master 和 Slave 连接起来。

### 1.1 主要特性

- 符合 AMBA4.0、AMBA3.0 标准协议
- 支持不同数据位宽互转
- 支持配置地址总线位宽

### 1.2 资源利用

AXI Width Converter 在不同配置下有不同的资源消耗，在 TD5.7，AXI Width Converter IP 工作在不同模式下的 FPGA 资源消耗情况如下表 1-1。

表 1-1 AXI Width Converter IP 典型应用资源利用表

AXI PROTOCOL	US AXI DATA WIDTH	DS AXI DATA WIDTH	LUTs	REGs	ERAM
0 (AXI4)	64	128	733	895	2
0 (AXI4)	128	256	1138	1635	2
0 (AXI4)	256	512	1954	3111	4
2 (AXI4LITE)	32	64	57	13	0
0 (AXI4)	128	64	893	603	3
0 (AXI4)	256	128	1096	729	3
0 (AXI4)	512	256	1515	981	3
1 (AXI3)	128	64	1181	895	6
1 (AXI3)	256	128	1392	1019	6
1 (AXI3)	512	256	1810	1265	6
2 (AXI4LITE)	64	32	140	55	0



## 1.3 时序 Fmax

AXI Width Converter IP 时序 Fmax 是在 TD5.7 版本下以及默认参数配置下统计所得。AXI Width Converter IP 工作在不同配置下的时序 Fmax 如表 1-2 所示。

表 1-2 AXI Width Converter IP 时序 Fmax

AXI Protocol	US AXI DATA WIDTH	DS AXI DATA WIDTH	acIk 标称时序	acIk 最大频率
AXI4	64	128	acIk 标称时序	174MHz
AXI4	128	256		159MHz
AXI4	256	512		151MHz
AXI4LITE	32	64		446MHz
AXI4	128	64		160MHz
AXI4	256	128		157MHz
AXI4	512	256		133MHz
AXI3	128	64		160MHz
AXI3	256	128		129MHz
AXI3	512	256		124MHz
AXI4LITE	64	32		316MHz

## 1.4 基本结构

下图 1-1 显示了 AXI Width Converter IP 的实现框图，从功能上划分，它主要包括以下几个部分

- us (upstream)，用户接口，用于接入用户的 master。
- ds (downstream)，用户接口，用于接入用户的 slave。
- addr logic，地址逻辑模块，用于接收 us 端口地址通道的数据，处理后发送给 ds 端口。
- write data logic，写数据逻辑模块，用于接收 us 端口写数据通道的数据，处理后发送给 ds 端口。
- read data logic，读数据逻辑模块，用于接收 ds 端口读数据通道的数据，处理后发送给 us 端口。
- write response logic，写响应逻辑模块，用于接收 ds 端口写响应通道的数据，处理后发送给 us 端口。

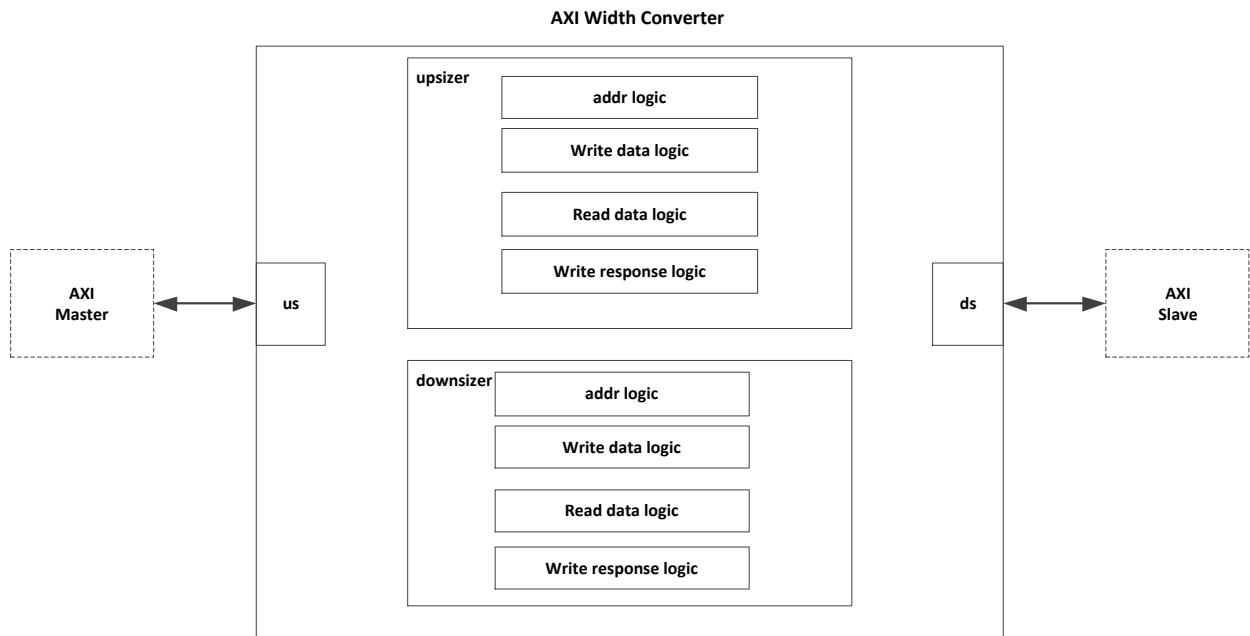


图 1-1 AXI Width Converter 基本结构



## 2 端口描述与参数描述

### 2.1 端口描述

AXI Width Converter 有两组端口，分别为 **us** 端口和 **ds** 端口，**us** 端口用来与用于的 AXI Master 连接，**ds** 端口用来与用户的 **slave** 连接。

表 2-1 AXI Width Converter 端口描述

端口名	位宽	方向	说明
aclk	1	In	时钟信号
aresetn	1	In	异步复位信号，低电平有效
us_awid	AL_US_AXI_ID_WIDTH	In	upstream 的写地址 ID 信号
us_awaddr	AL_AXI_ADDR_WIDTH	In	upstream 的写地址信号
us_awlen	8、4	In	upstream 的写突发长度信号
us_awsize	3	In	upstream 的写突发大小信号
us_awburst	2	In	upstream 的写突发类型信号
us_awlock	2、1	In	upstream 的写锁定信号
us_awcache	4	In	upstream 的写缓存控制信号
us_awprot	3	In	upstream 的写保护信号
us_awregion	4	In	upstream 的写区域指示信号
us_awqos	4	In	upstream 的写服务质量信号
us_awvalid	1	In	upstream 的写地址有效信号
us_awready	1	Out	upstream 的写地址准备信号
us_wdata	AL_US_AXI_DATA_WIDTH	In	upstream 的写数据信号
us_wstrb	AL_US_AXI_DATA_WIDTH/8	In	upstream 的写字节有效信号
us_wlast	1	In	upstream 的写数据结束信号
us_wvalid	1	In	upstream 的写数据有效信号
us_wready	1	Out	upstream 的写数据准备信号
us_bid	AL_US_AXI_ID_WIDTH	Out	upstream 的写响应 ID 信号
us_bresp	2	Out	upstream 的写响应类型信号
us_bvalid	1	Out	upstream 的写响应有效信号
us_bready	1	In	upstream 的写响应准备信号
us_arid	AL_US_AXI_ID_WIDTH	In	upstream 的读地址 ID 信号
us_araddr	AL_AXI_ADDR_WIDTH	In	upstream 的读地址信号
us_arlen	8、4	In	upstream 的读突发长度信号
us_arsize	3	In	upstream 的读突发大小信号
us_arburst	2	In	upstream 的读突发类型信号



端口名	位宽	方向	说明
us_arlock	2、1	In	upstream 的读锁定信号
us_arcache	4	In	upstream 的读缓存控制信号
us_arprot	3	In	upstream 的读保护信号
us_arregion	4	In	upstream 的读区域指示信号
us_arqos	4	In	upstream 的读服务质量信号
us_arvalid	1	In	upstream 的读地址有效信号
us_arready	1	Out	upstream 的读地址准备信号
us_rid	AL_US_AXI_ID_WIDTH	Out	upstream 的读数据 ID 信号
us_rdata	AL_US_AXI_DATA_WIDTH	Out	upstream 的读数据信号
us_rresp	2	Out	upstream 的读响应类型信号
us_rlast	1	Out	upstream 的读数据结束信号
us_rvalid	1	Out	upstream 的读数据有效信号
us_rready	1	In	upstream 的读数据准备信号
ds_awaddr	AL_AXI_ADDR_WIDTH	Out	downstream 的写地址信号
ds_awlen	8、4	Out	downstream 的写突发长度信号
ds_awsize	3	Out	downstream 的写突发大小信号
ds_awburst	2	Out	downstream 的写突发类型信号
ds_awlock	2、1	Out	downstream 的写锁定信号
ds_awcache	4	Out	downstream 的写缓存控制信号
ds_awprot	3	Out	downstream 的写保护信号
ds_awregion	4	Out	downstream 的写区域指示信号
ds_awqos	4	Out	downstream 的写服务质量信号
ds_awvalid	1	Out	downstream 的写地址有效信号
ds_awready	1	In	downstream 的写准备信号
ds_wdata	AL_DS_AXI_DATA_WIDTH	Out	downstream 的写数据信号
ds_wstrb	AL_DS_AXI_DATA_WIDTH/8	Out	downstream 的写字节有效信号
ds_wlast	1	Out	downstream 的写数据结束信号
ds_wvalid	1	Out	downstream 的写数据有效信号
ds_wready	1	In	downstream 的写数据准备信号
ds_bresp	2	In	downstream 的写响应类型信号
ds_bvalid	1	In	downstream 的写响应有效信号
ds_bready	1	Out	downstream 的写响应准备信号
ds_araddr	AL_AXI_ADDR_WIDTH	Out	downstream 的读地址信号
ds_arlen	8、4	Out	downstream 的读突发长度信号
ds_arsize	3	Out	downstream 的读突发大小信号
ds_arburst	2	Out	downstream 的读突发类型信号



端口名	位宽	方向	说明
ds_arlock	2、1	Out	downstream 的读锁定信号
ds_arcache	4	Out	downstream 的读缓存控制信号
ds_arprot	3	Out	downstream 的读保护信号
ds_arregion	4	Out	downstream 的读区域指示信号
ds_arqos	4	Out	downstream 的读服务质量信号
ds_arvalid	1	Out	downstream 的读地址有效信号
ds_arready	1	In	downstream 的读地址准备信号
ds_rdata	AL_DS_AXI_DATA_WIDTH	In	downstream 的读数据信号
ds_rresp	2	In	downstream 的读响应类型信号
ds_rlast	1	In	downstream 的读数据结束信号
ds_rvalid	1	In	downstream 的读数据有效信号
ds_ready	1	Out	downstream 的读数据准备信号

## 2.2 参数描述

顶层模块的参数描述见表 2-2

表 2-2 AXI Width Converter IP 参数描述

Parameter	范围	默认值	说明
AL_AXI_PROTOCOL	0、1、2	0	IP 工作的具体协议版本 0:AXI4 1:AXI3 2:AXI4LITE
AL_US_AXI_ID_WIDTH	1-32	4	ID 信号位宽
AL_AXI_ADDR_WIDTH	1-64	32	地址总线位宽 当 IP 工作在 AXI4 或 AXI3 协议版本时, 该参数可以取 1-64 中的任意值; 当 IP 工作在 AXI4LITE 协议版本时, 该参数只可取 32、64。
AL_US_AXI_DATA_WIDTH	32、64、128、256、512、1024	64	us 端口数据总线位宽 当 IP 工作在 AXI4 或 AXI3 协议版本时, 该参数可以取 32、64、128、256、512、1024 中的任意值; 当 IP 工作在 AXI4LITE 协议版本时, 该参数只可取 32、64。



Parameter	范围	默认值	说明
AL_DS_AXI_DATA_WIDTH	32、64、128、256、512、1024	128	ds 端口数据位宽 当 IP 工作在 AXI4 或 AXI3 协议版本时, 该参数可以取 32、64、128、256、512、1024 中的任意值; 当 IP 工作在 AXI4LITE 协议版本时, 该参数只可取 32、64。
AL_AXI_SUPPORT_WRITE	0、1	1	配置 IP 是否支持写地址、写数据、写响应通道。 0: IP 不支持写通道 1: IP 支持写通道
AL_AXI_SUPPORT_READ	0、1	1	配置 IP 是否支持读地址、读数据通道。 0: IP 不支持读通道 1: IP 支持读通道
AL_AXI_MAX_SPLIT_BEATS	16、256	256	downsizer 模式下, 需要将一个事务拆分成多个事务时, 拆分出事务的最大拍数。
AL_PACKING_LEVEL	1、2	2	upsizer 模式下, 数据合并的条件 1: 由 AWCACHE[1]/ARCACHE[1]信号控制是否进行数据合并 2: 始终进行数据合并

### 3 使用说明

AXI Width Converter 工作的前提是 **us** 端口和 **ds** 端口的数据位宽不同，在 AXI 协议中，**AW/AR** 通道承载的信息和 **W/R** 通道密切相关，**W/R** 通道的数据位宽不同时，对应的 **AW/AR** 通道信息也不同，因此进行位宽转换时，**AW/AR/W/R** 通道的信号均有可能发生变化。

AXI Width Converter 不支持 **reorder**，因此 **ds** 端口无 **id** 信号。

AXI Width Converter 是对数据和地址通道的传输进行修改，**user** 信号不会进入 IP 内部。

#### 3.1 Downsizer

当 **us** 端口的数据位宽大于 **ds** 端口的数据位宽，IP 工作在 **downsizer** 模式，根据 **us** 端口和 **ds** 端口的 **arsize/awsize** 决定是否增加事务的“拍数”，当 **us** 端口传输的事务 **size** 小于等于 **ds** 端口数据位宽时，IP 不会进行数据位宽转换。当 **us** 端口发出的事务到达 **ds** 端口需要转换时，**ARLEN/AWLEN**, **ARBURST/AWBURST**, **ARSIZE/AWSIZE**, **ARADDR/AWADDR** 均有可能变化且某些情况下 **ds** 端口的事务数量会多于 **us** 端口的事务数量。

对于写传输，**ds** 端口到 **us** 端口在写通道进行数据拆分，图 3-1 为 **us** 端口数据位宽为 64, **ds** 端口数据位宽为 32 时，数据进行拆分的波形图。

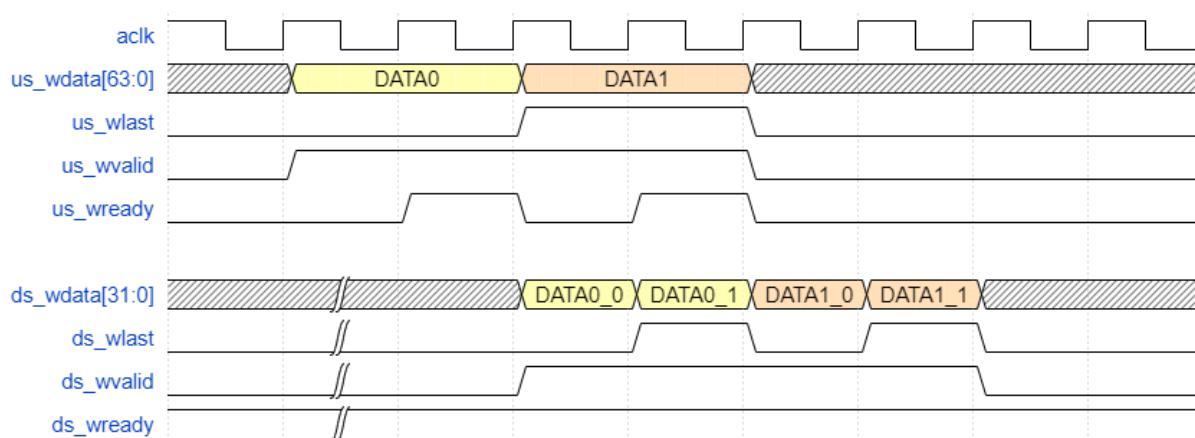


图 3-1 数据拆分波形图

对于读传输，**ds** 端口到 **us** 端口在读通道进行数据合并，图 3-2 为 **us** 端口数据位宽为 64, **ds** 端口数据位宽为 32 时，数据进行合并的波形图。

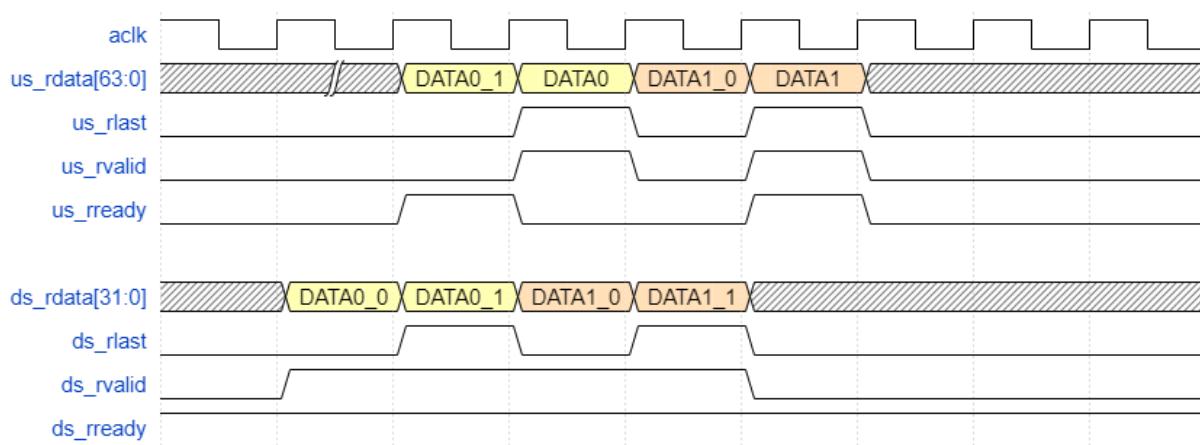


图 3-2 数据合并波形图

AXI4LITE 协议下，数据位宽只有 64、32 两种，**downsizer** 模式下，数据位宽只能从 64bit 转换到 32bit。对于读传输，当地址为 64bit 对齐时，每个 us 端口上的 transaction 会被转换为 ds 端口上的两个 transaction，当地址不是 64bit 对齐时，每个 us 端口上的 transaction 会被转换为 ds 端口上的一个 transaction；对于写传输，只有当每个 32bit 的数据至少有一 byte 有效时，每个 us 端口上的 transaction 才会被转换为 ds 端口上的两个 transaction。

当一个写事务需要被拆分成几个写事务时，IP 会将 **slave** 侧的多个写响应合并成一个写响应，当出现多个错误响应时，会按照最坏的情况进行反馈，响应情况的排序：**DECERR**、**SLVERR**、**OKAY**。

## 3.2 Upsizer

当 us 端口的数据位宽小于 ds 端口的数据位宽，IP 工作在 **upsizer** 模式，ds 端口数据通道可传输的数据量大于 us 端口传输的数据量，IP 可以将 us 端口数据通道中的数据进行合并，将合并后的数据送出到 ds 端口，以提升数据传输的效率。当 IP 工作在 **upsizer** 模式时，用户可以通过参数 **AL\_PACKING\_LEVEL** 控制数据合并的条件。根据 AXI4 协议，**AWCACHE[1]/ARCACHE[1]** 被定义为“**Modifiable**”，当该位为高时，事务的属性可以被修改。当用户选择 **AL\_PACKING\_LEVEL** 为条件合并时，IP 是否对数据进行打包由 us 端口的 **AWCACHE[1]/ARCACHE[1]** 信号控制，如果不对数据进行合并，IP 会将 us 端口数据通道的数据直接送到 ds 端口数据通道。当用户选择 **AL\_PACKING\_LEVEL** 为始终合并时，IP 将会始终对 us 端口数据通道的数据合并后再送给 ds 端口。

对于写传输，us 端口到 ds 端口在写通道进行数据合并。

对于读传输，ds 端口到 us 端口在读通道进行数据拆分。

AXI4LITE 协议下，**upsizer** 模式下，数据位宽只能从 32bit 转换到 64bit，每个 us 端口上的事务会被转换为 ds 端口上的一个事务。

## 4 例化流程

### 4.1 定制流程

打开 TD 软件，分别点击 Tools->IP Catalog->Soft IP->Bus Component->AXI Width Converter，双击进入 AXI Width Converter IP 的配置界面。

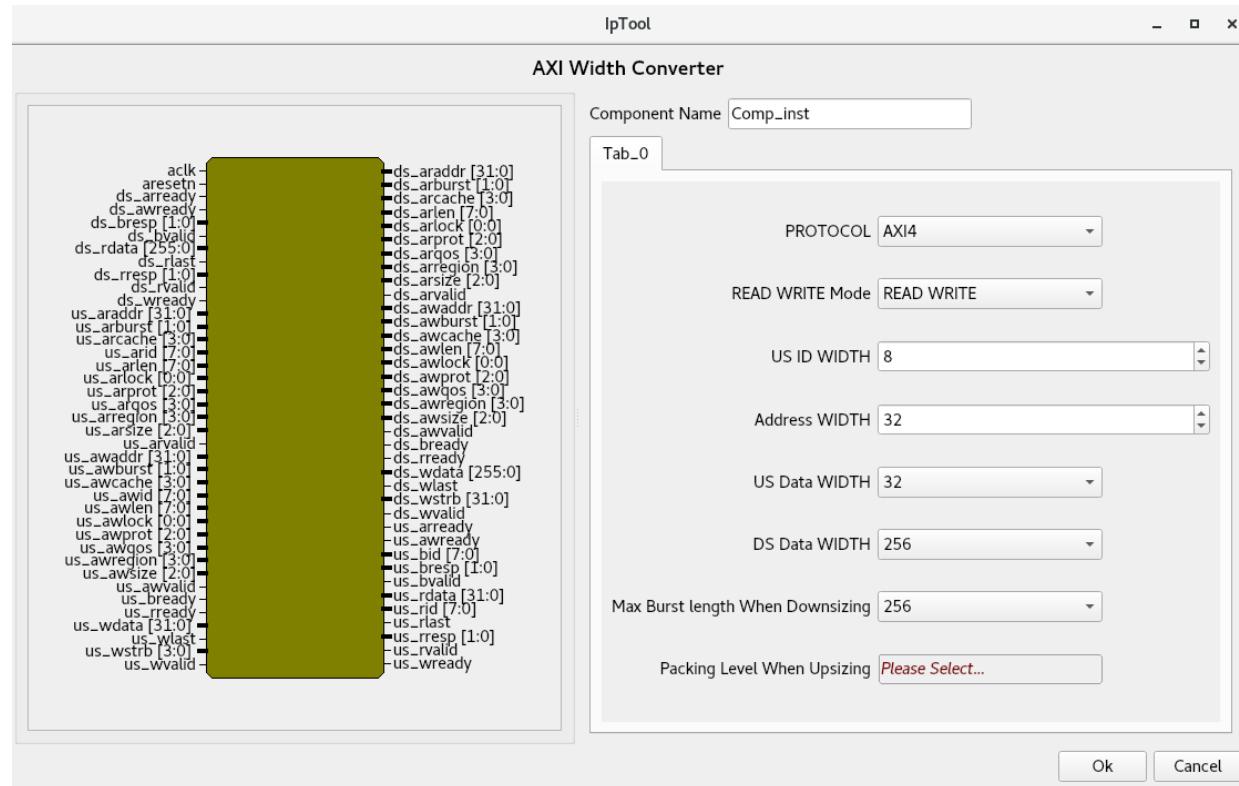


图 4-1AXI Width Converter IP 用户界面

AXI Width Converter 只有一个 Tab，该 Tab 下有如下基本设置。

**PROTOCOL:** 配置 IP 工作的协议版本。

**READ WRITE Mode:** 配置 IP 工作的读写模式。

**US ID WIDTH:** 配置 upstream 的 ID 位宽 (1-32)。

**Address WIDTH:** 配置地址数据的位宽 (1-64)。

**US Data WIDTH:** 配置 upstream 的数据位宽 (32、64、128、256、512、1024)。

**DS Data WIDTH:** 配置 downstream 的数据位宽 (32、64、128、256、512、1024)。

**Max Burst length When Downsizing:** downsizing 模式下，配置可拆分出事务的最大拍数 (16、256)。

**Packing Level When Upsizing:** upsizing 模式下，配置数据合并的条件 (1、2)。



- 1: 由 AWCACHE[1]/ARCACHE[1]信号控制是否进行数据合并
- 2: 始终进行数据合并

## 4.2 输出文件

完成上述配置后, 无报错的情况下点击 OK 按钮, 生成 IP 相关文件。生成的 IP 文件包括<username>.v 和 axi\_width\_converter\_<random\_number>.v, 其中 <username>.v 为 IP 的顶层文件, axi\_width\_converter\_<random\_number>.v 为 IP 的加密源码。



## 版本信息

日期	版本	修订记录
2022/4/26	0. 1	初始版本
2022/5/7	0. 2	<ol style="list-style-type: none"><li>1. 调整 2/3 章节。把端口列表放到 1.5；把寄存器独立成章。</li><li>2. 增加复位和时钟域</li><li>3. 补充说明时钟注意事项，哪种情况放在 IPUG，哪些情况应放在 APUG。</li></ol>
2024/1/3		增加例化流程

版权所有©2024 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

## 免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除安路科技在其产品的销售条款和条件中声明的责任之外，安路科技概不承担任何法律或非法律责任。安路科技对安路科技产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。安路科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，安路科技保留修改文档中任何内容的权利，恕不另行通知。安路科技不承诺对这些文档进行适时的更新。